

04/8057-SNY

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 06-349280

(43)Date of publication of application : 22.12.1994

(51)Int.Cl.

G11C 11/417

G11C 11/413

(21)Application number : 05-140495

(71)Applicant : MATSUSHITA ELECTRIC IND CO
LTD

(22)Date of filing : 11.06.1993

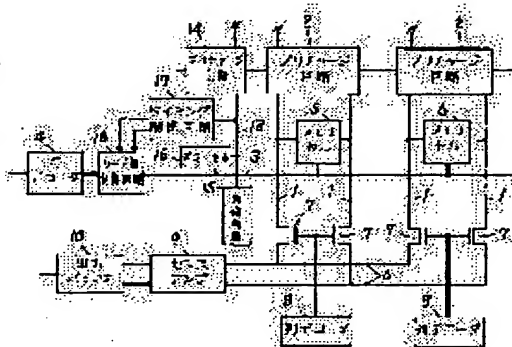
(72)Inventor : SEZAKI TOMOHISA
HATSUDA TSUGUYASU
TANAKA ISAO

(54) SEMICONDUCTOR MEMORY

(57)Abstract:

PURPOSE: To realize low power consumption by restricting the potential amplitude of a bit line at the time of read operation to a minimum necessary level for the operation of a sense amplifier.

CONSTITUTION: The semiconductor memory comprises a row decoder 4 decoding the row address information of a memory array to be accessed, a dummy bit line 13 having the configuration equivalent electrically to that of a bit line 1, a timing control circuit 17 connected with the dummy bit line 13 to detect the potential fluctuation thereof and output a detection signal, and a circuit 18 for controlling a word line 3 based on the signal from the row decoder 4 and the timing control circuit 17. The timing control circuit 17 detects the potential drop of the dummy bit line down to a level required for the operation of the sense amplifier 9 and controls the word line control circuit 18 based on the detection signal thus controlling the active interval of the word line and disconnecting a memory cell 5 from the bit line 1.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平6-349280

(43) 公開日 平成6年(1994)12月22日

(51) Int.Cl.⁵

識別記号

庁内整理番号

F I

技術表示箇所

G 1 1 C 11/417

11/413

G 1 1 C 11/ 34

3 0 6

J

審査請求 未請求 請求項の数 1 O L (全 5 頁)

(21) 出願番号

特願平5-140495

(22) 出願日

平成5年(1993)6月11日

(71) 出願人

000005821

松下電器産業株式会社

大阪府門真市大字門真1006番地

(72) 発明者

瀬崎 朋久

大阪府門真市大字門真1006番地 松下電器

産業株式会社内

(72) 発明者

初田 次康

大阪府門真市大字門真1006番地 松下電器

産業株式会社内

(72) 発明者

田中 功

大阪府門真市大字門真1006番地 松下電器

産業株式会社内

(74) 代理人

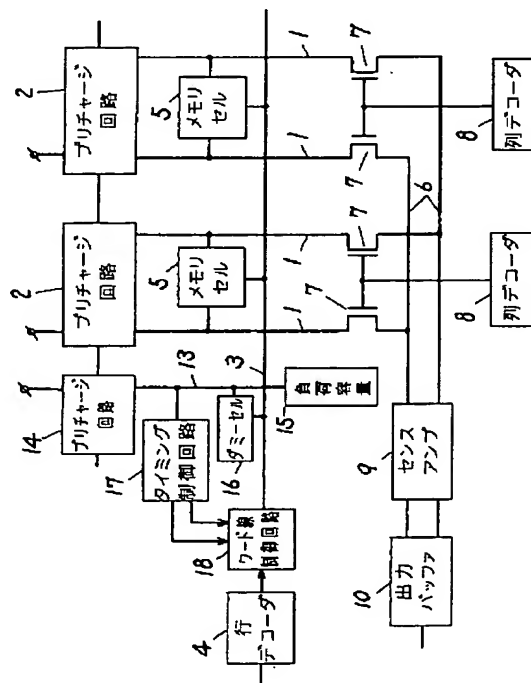
弁理士 小鍛冶 明 (外2名)

(54) 【発明の名称】 半導体記憶装置

(57) 【要約】

【目的】 読み出し動作時のビット線の電位振幅をセンスアンプの増幅動作に最低限必要なレベルに抑え、低消費電力化を可能とする。

【構成】 アクセスすべきメモリアレイの行アドレス情報を解読する行デコーダ4と、ビット線1と電気的に等価な構成を持つダミービット線13と、ダミービット線13に接続されダミービット線の電位変化を検知し検知信号を出力するタイミング制御回路17と、行デコーダ4とタイミング制御回路17からの信号によりワード線3の制御を行なうワード線制御回路18を備え、タイミング制御回路18によりダミービット線の電位変化がセンスアンプ9の増幅動作に必要な電圧だけ降下したことを検知し、検知信号によりワード線制御回路18を制御して、ワード線の活性期間を制御し、メモリセル5をビット線1から切断する。



【特許請求の範囲】

【請求項1】複数のビット線と複数のワード線の交差位置にメモリセルを配置したメモリセルアレイと、前記ビット線の電位を予め設定したプリチャージレベルにまでプリチャージするプリチャージ回路と、前記ビット線と前記出力線上に読みだされたデータを増幅するセンスアンプと、アクセスすべき行アドレス情報を解読する行デコーダと、前記ビット線と電氣的に等価な構成を持つダミービット線と、前記ダミービット線に接続され前記ダミービット線の電位変化を検知し検知信号を出力するタイミング制御回路と、前記行デコーダと前記タイミング制御回路に接続され前記行デコーダからの信号と前記タイミング制御回路から信号によりワード線の制御を行うワード線制御回路とを備えたことを特徴とする半導体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は低消費電力化を実現する半導体記憶装置に関するものである。

【0002】

【従来の技術】従来の半導体記憶装置としては、例えば特開昭60-61986号公報に示すようなものがある。図4にこの従来の半導体記憶装置の概略構成図を示す。以下図4を参照しながら説明する。

【0003】図4において、1はメモリセル5のデータを伝達するためのビット線、2はビット線1を充電するためのプリチャージ回路、3はメモリセル5を選択するためのワード線、4はワード線制御信号を出力する行デコーダ、6はビット線1にスイッチングトランジスタを介して接続にされた入出力線、7はビット線1と入出力線6を接続するスイッチングトランジスタ、8はスイッチングトランジスタ7を制御する列デコーダ、9はメモリセル5からのデータを増幅するセンスアンプ、10は外部にデータを取り出すための出力バッファ、11はセンスアンプ9の出力を検出する出力検出回路、12はワード線1をワード線制御回路4と出力検出回路11の出力により制御するアンド回路である。

【0004】次に、図5のタイミング図を参照しながら上記構成の半導体記憶装置の動作について説明する。図5の時刻 t_0 で選択された行のワード線3を、行デコーダ4によりアンド回路12を通して活性化する。これによりメモリセル5の記憶内容に応じて、予めプリチャージ回路2により充電された一対のビット線1のうち片方のビット線1が放電される。この時、入出力線6は列デコーダ8とスイッチングトランジスタ7を介してどれか一対のビット線1に接続されており、同様に一対の入出力線6のうち片方がLレベルに変化する。入出力線6の片方がセンスアンプ9の増幅動作を始める電圧レベル V_{th} まで下がった図5の時刻 t_1 で、センスアンプ9を活性化し入出力線6上のデータを増幅し、出力バッファ1

0により外部に読み出す。センスアンプ9に接続された出力検出回路11により、センスアンプ9の出力が時刻 t_2 で確定したことを検知し検知信号をアンド回路12に出力する。アンド回路12は図5の時刻 t_3 でワード線3を非活性化し、時刻 t_4 でメモリセル5はビット線1から切り離される。これによりメモリセル5からのデータを読み出した後はメモリセル5を切り離して、ビット線1の不必要な放電をやめさせ電圧振幅を小さくして消費電力の低減を図っている。

【0005】

【発明が解決しようとする課題】しかしながら上記のような構成では、ビット線1の電位変化をセンスアンプ9により増幅を開始する図5の時刻 t_1 から、アンド回路12からワード線制御信号が出力されるまでの時刻 t_3 までの期間 t_3-t_1 はワード線3の活性化が行われる。このため、この t_3-t_1 の間中はビット線1および入出力線6にプリチャージされていた電荷はビット線1対のうち的一方では失われていき、ビット線1を充電するための電流が大きくなり、消費電力が大きくなるという問題点を有していた。

【0006】本発明は上記問題点に鑑み、低消費電力化を可能とする半導体記憶装置を提供するものである。

【0007】

【課題を解決するための手段】上記問題点を解決するために本発明の半導体記憶装置は、ビット線とワード線の交差位置にメモリセルを配列したメモリセルアレイと、前記ビット線の電位を予めプリチャージするプリチャージ回路と、メモリセルから前記ビット線に読みだされたデータを増幅し出力するセンスアンプと、ワード線をタイミング制御回路及び行デコーダからの信号により制御しダイナミックな回路で構成されたワード線制御回路と、前記ワード線制御回路をダミービット線電位の変化の検出より制御するタイミング制御回路と、前記ビット線に接続された負荷と同等の負荷容量を接続したダミービット線とを備えた構成である。

【0008】

【作用】本発明は上記した構成によって、ワード線を活性化してメモリセル中のデータをビット線に読み出す。ビット線にセンスアンプの増幅動作に必要な電位差が生じた事を、ダミービット線を接続したタイミング制御回路より検知し、検知信号をワード線制御回路に出力する。ワード線制御回路はワード線を非活性化することにより、メモリセルをビット線より切り離し、ビット線電荷の放電を阻止する。これによりビット線電位の変化をセンスアンプで増幅しセンスアンプの出力検出後ワード線の非活性化を行う従来例に比べて、高速にワード線を非活性化しビット線電荷の余計な放電を抑え、充電する時の電流を小さく出来るため低消費電力化が図られることとなる。

【0009】

【実施例】以下本発明の一実施例の半導体記憶装置について、図面を参照しながら説明する。図1は本発明の実施例における半導体記憶装置を示すものである。

【0010】図4の従来例と同様に、1はビット線、2はビット線1の電位を予めプリチャージし、ビット線1の電位をイコライズするプリチャージ回路、3はワード線、4は行デコーダ、5はメモリセル、6は入出力線、7はスイッチングランジスタ、8は列デコーダ、9はセンスアンプ、10は出力バッファである。13はビット線1と同等の電位変化を発生させるために設けられたダミービット線、14はダミービット線13の電位を予めプリチャージし、ダミービット線13の電位をイコライズするプリチャージ回路、15はダミービット線13をビット線1と同じ構成にするために接続されたビット線1に接続されている負荷と同等の負荷容量、16はダミービット線14の電荷をワード線3の信号により制御するためのダミーセル、17はダミービット線14の電位降下がセンスアンプ9の増幅動作に必要な電位差になったことを検知し検知信号を出力するタイミング制御回路、18はワード線3をタイミング制御回路17と行デコーダ4からの出力信号により制御しかつダイナミックな回路で構成されたワード線制御回路である。また、ワード線制御回路18の回路構成を図2に示す。 $\phi 1$ はタイミング制御回路17からの出力信号を反転した信号を入力する端子、 $\phi 2$ はタイミング制御回路17からの出力信号を入力する端子、 $\phi 3$ は行デコーダ4からの出力信号を入力する端子、20は $\phi 3$ 端子からの信号を入力するPチャネルMOS型トランジスタ（以下PMOSTランジスタ）、21は $\phi 3$ 端子からの信号を入力するNチャネルMOS型トランジスタ（以下NMOSTランジスタ）、22は $\phi 2$ 端子からの信号を入力するPMOSTランジスタ、23はPMOSTランジスタ20、22とNMOSTランジスタ21のドレインを入力側に接続したインバータ回路、 $\phi 4$ はインバータ回路23からの出力信号を出力する端子である。

【0011】以上のように構成された半導体記憶装置について、以下図3のタイミング図を用いてその動作を説明する。

【0012】まず、図3の時刻 t_0 で選択されたワード線3を、行デコーダ4によりワード線制御回路18を通して活性化する。この時ワード線制御回路18の $\phi 3$ 端子は行デコーダ4によりHレベルに固定され、 $\phi 1$ 、 $\phi 2$ 端子はタイミング制御回路17によりそれぞれL、Hに固定されるため、PMOSTランジスタ20、22はオフし、NMOSTランジスタ21はオンする。インバータ回路23の入力はLになり、出力端子 $\phi 4$ はHに変化する。ワード線3の電位がメモリセル5を活性化する電位になると、メモリセル5の記憶内容に応じて、予めプリチャージ回路2により充電されたビット線1のうち片方の電荷は放電される。同様にダミーセル16（予めLと

されている）の出力もLに固定されるため、プリチャージ回路14により予め充電されていたダミービット線13の電荷は放電される。ダミービット線13にはビット線1と同等の負荷容量15を接続しているため、ダミービット線13とビット線1の出力波形は同形になる。なお、負荷容量15の代わりにビット線1に接続しているものと同形の回路を接続しても同様の効果が得られる。

【0013】ビット線1の片方が放電を開始する時、入出力線6は列デコーダ8とスイッチングトランジスタ7を介してビット線1と接続されているため、入出力線6はLレベルに変化する。入出力線6があるレベルまで下がり、図3の時刻 t_1 で入出力線6の電位差が所定の電位差まで開いたときセンスアンプ9は増幅動作に必要な入出力線6の電位降下を検知して、入出力線6上のデータを急激に増幅し、出力バッファ10により外部に読み出す。入出力線6と同様に図3の時刻 t_1 でダミービット線13は、センスアンプ9がセンス動作に必要な電位差の電位降下が起こる。図3の時刻 t_1 でダミービット線13に接続されたタイミング制御回路17は、このセンスアンプの増幅動作に必要な電位差を検知して、検知信号をワード線制御回路18に出力する。タイミング制御回路17は、入力信号が所定の電位レベル以下になると、出力信号を発生する。このタイミング制御回路17は、例えば、論理しきい値電圧を $V_{dd}/2$ （ V_{dd} は電源電位）よりも上に設定したインバータ回路などで構成できる。この論理しきい値電圧を V_{ta} とすれば、図3の時刻 t_2 でタイミング制御回路17の電位が V_{ta} 以下になり、ワード線制御回路18のPMOSTランジスタ22がオンし、インバータ回路23の入力がLになると出力端子 $\phi 4$ はLに変化する。これにより図3の時刻 t_2 でワード線制御回路はワード線3を非活性化し、図3の時刻 t_3 でメモリセル5はビット線1より切り離される。

【0014】以上のように本実施例によれば、ダミービット線13の電位変化からタイミング制御回路17がセンスアンプ9の増幅動作に必要な電位差を検知してワード線制御回路18に検知信号を出力する。このためセンスアンプ9の出力がセンスアンプ9に接続された出力検知回路（図4の11）の論理しきい値電圧になった時検知信号をアンド回路（図4の12）に出力する従来例に比べて、ワード線制御回路18への出力タイミングが図3に示すように時間 T_1 分短縮される。また、ワード線3を制御しているワード線制御回路18を、図2に示すダイナミック回路にすることにより、この回路にかかる負荷容量は従来例（図4のアンド回路12をCMOSで構成した場合）のPMOSTランジスタのゲート容量1段、NMOSTランジスタのゲート容量1段に比べて、PMOSTランジスタのゲート容量1段、NMOSTランジスタのソース/ドレイン接合容量1段となり、NMOSTランジスタのソース/ドレイン接合容量は、ゲー

ト容量と比較して約5分の1程度と小さいため、かなりの負荷低減となる。このためタイミング制御回路17に接続される信号線の負荷容量は従来例に比べて小さくなり、データパスの短縮($T_2 - T_1$)が可能となる。図3に示すようにワード線3を活性化するのに全体で時間 T_2 短縮され、メモリセル5は T_2 期間早くビット線1より切り離されることにより、ビット線1の電荷の余計な放電を抑えることができる。

【0015】

【発明の効果】以上のように本発明は、選択されたワード線と選択されたビット線とに接続されたメモリセルを読み出す際に、ワード線を活性化しメモリセル中のデータをビット線上に読み出した後、ビット線出力部がセンスアンプの増幅動作に必要な電位差になるタイミングをビット線と同等の構成を持つダミービット線の電位降下からタイミング制御回路により検知し、検知信号を高速にワード線制御回路に出力することによりワード線の非活性化のタイミングを早め、メモリセルを早期にワード線から切り離すことができる。これによりビット線電荷

の余分な放電を抑え、充電する時に流れる電流を小さく出来るため、低消費電力化を図ることができる。

【図面の簡単な説明】

【図1】 本発明の実施例における回路構成図

【図2】 同実施例におけるワード線制御回路図

【図3】 同実施例における動作説明のためのタイミング図

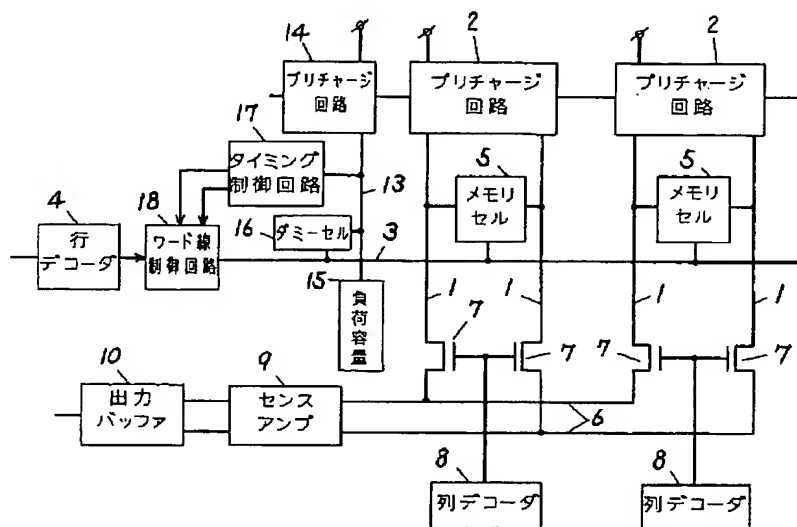
【図4】 従来の半導体記憶装置の回路構成図

【図5】 図4の従来例における動作説明のためのタイミング図

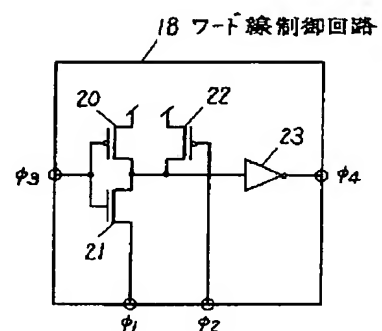
【符号の説明】

- 13 ダミービット線
- 15 負荷容量
- 16 ダミーセル
- 17 タイミング制御回路
- 18 ワード線制御回路
- 20、22 PMOSトランジスタ
- 21 NMOSトランジスタ
- 23 インバータ

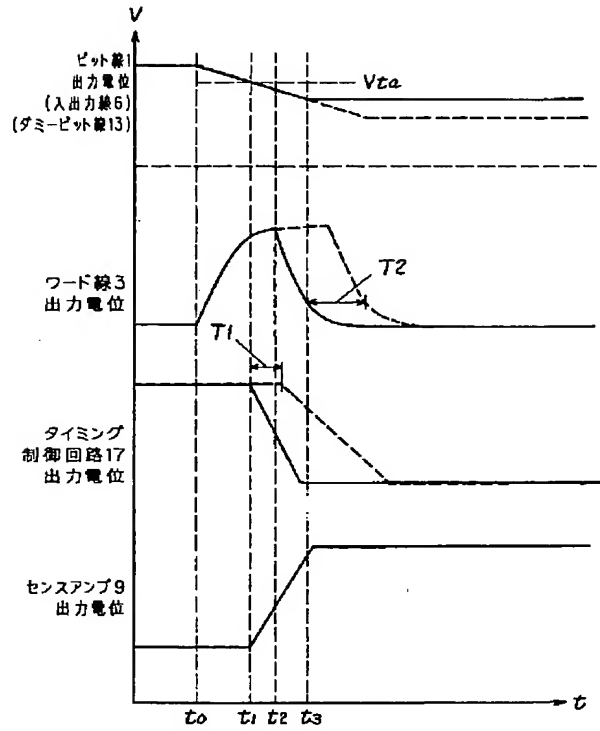
【図1】



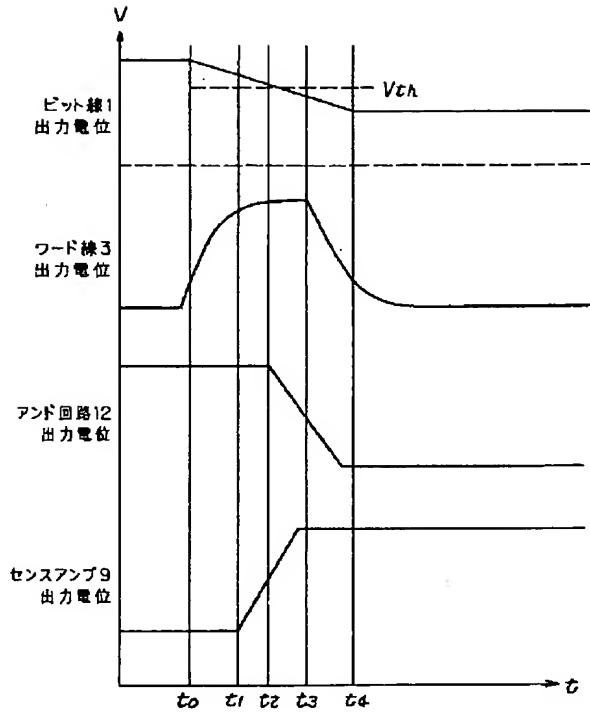
【図2】



【図3】



【図5】



【図4】

